

A8

1/5/1
DIALOG(R) File 351:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.

011792886 **Image available**
WPI Acc No: 1998-209796/199819
Related WPI Acc No: 1998-209797; 1998-350590; 2000-507549; 2000-627641
XRPX Acc No: N98-166747

Logic analyser compilation design for PLD - involves receiving, modifying and compiling design with selected nodes connected to analyser inputs with trigger conditions included in complete design

Patent Assignee: ALTERA CORP (ALTE-N)

Inventor: HERRMAN A L; NUGENT G P; SOUTHGATE T J; FAIRBANKS B A; HEILE F B; HERRMANN A L; KARCHMER D; RAWLS T V; LEE F F; MENDEL D W; TSE J; WENZLER M; KHALAF M A; PEDERSEN B

Number of Countries: 003 Number of Patents: 013

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
GB 2318664	A	19980429	GB 9722675	A	19971027	199819 B
JP 10222374	A	19980821	JP 97294544	A	19971027	199844
JP 10232890	A	19980902	JP 97294546	A	19971027	199845
JP 10232891	A	19980902	JP 97294547	A	19971027	199845
- US 6026226	A	20000215	US 9629277	A	19961028	200016
			US 97958798	A	19971027	
GB 2318664	B	20000823	GB 9722675	A	19971027	200041
- US 6102964	A	20000815	US 9629277	A	19961028	200041
			US 97958436	A	19971027	
- US 6110223	A	20000829	US 9629277	A	19961028	200043
			US 97958434	A	19971027	
- US 6120550	A	20000919	US 9629277	A	19961028	200048
			US 97958432	A	19971027	
- US 6134705	A	20001017	US 9629277	A	19961028	200054
			US 97958002	A	19971027	
- US 6161211	A	20001212	US 9629277	A	19961028	200067
			US 97958778	A	19971027	
- US 6182247	B1	20010130	US 9629277	A	19961028	200108
			US 97958435	A	19971027	
GB 2321322	B	20011010	GB 9722680	A	19971027	200167

Priority Applications (No Type Date): US 9629277 P 19961028; US 97958798 A 19971027; US 97958436 A 19971027; US 97958434 A 19971027; US 97958432 A 19971027; US 97958002 A 19971027; US 97958778 A 19971027; US 97958435 A 19971027

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
GB 2318664	A		46	G06F-017/50	
JP 10222374	A		48	G06F-009/445	
JP 10232890	A		69	G06F-017/50	
JP 10232891	A		37	G06F-017/50	
US 6026226	A			G06F-017/50	Provisional application US 9629277
GB 2318664	B			G06F-017/50	
US 6102964	A			G06F-017/50	Provisional application US 9629277
US 6110223	A			G06F-017/50	Provisional application US 9629277
US 6120550	A			G06F-017/50	Provisional application US 9629277
US 6134705	A			G06F-017/50	Provisional application US 9629277
US 6161211	A			G06F-017/50	Provisional application US 9629277
US 6182247	B1			G06F-017/50	Provisional application US 9629277
GB 2321322	B			G06F-009/445	

Abstract (Basic): GB 2318664 A

The analyser compilation method involves receiving an electronic design for a PLD including numerous nodes. The design is modified to include a logic analyser circuit to be embedded in the PLD. The analyser circuit includes design inputs to connect the selected nodes from the design. The design is compiled along with the analyser circuit such that the selected nodes are connected to the design inputs of the

THIS PAGE BLANK (USPTO)

analyser circuit and a complete design is produced to program the PLD.

The logic analyser stores signals from the selected nodes when it is embedded in the PLD. A trigger signal name is received corresponding to one of the nodes. A trigger condition for the analyser is received. A trigger signal line is connected to an analyser trigger input. The trigger condition is included in the complete design such that when it matches the trigger condition in the PLD the analyser stores the signals when embedded in the PLD.

ADVANTAGE - Applicable to any EDA tool able to compile user design. Allows dynamic reprogramming of embedded logic analyser. Analyser need not be part of final design giving space saving. Allows routing of PLD pins to easily accessible circuit board port allowing easy debugging interface cable connection.

Dwg.5/7

Title Terms: LOGIC; ANALYSE; COMPILE; DESIGN; RECEIVE; MODIFIED; COMPILE;
DESIGN; SELECT; NODE; CONNECT; ANALYSE; INPUT; TRIGGER; CONDITION;
COMPLETE; DESIGN

Derwent Class: T01; U13; U21

International Patent Class (Main): G06F-009/445; G06F-017/50

International Patent Class (Additional): G01R-031/317; G06F-011/25;
G06F-011/28; G06F-012/00; H01L-021/82; H03K-019/173

File Segment: EPI

THIS PAGE BLANK (USPTO)

AS

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-65781

(43) 公開日 平成11年(1999) 3月9日

(51) Int.Cl.⁶
G 0 6 F 3/12
B 4 1 J 5/30
29/38
G 0 3 G 21/00
識別記号
3 9 6

F I
G 0 6 F 3/12 A
B 4 1 J 5/30 Z
29/38 Z
G 0 3 G 21/00 3 9 6

審査請求 未請求 請求項の数10 O L (全 11 頁)

(21) 出願番号 特願平9-216621

(22) 出願日 平成9年(1997) 8月11日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 木田 韶彦

神奈川県川崎市幸区柳町70番地 東芝イン
テリジェントテクノロジー株式会社内

(72) 発明者 岡崎 直人

神奈川県川崎市幸区柳町70番地 東芝イン
テリジェントテクノロジー株式会社内

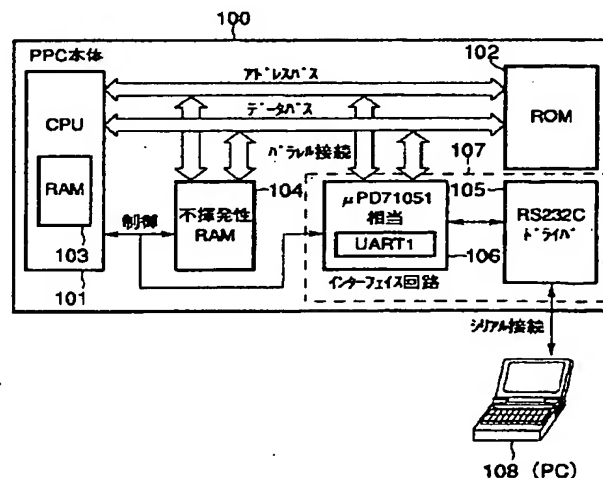
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 画像形成装置支援システム

(57) 【要約】

【課題】 この発明は、画像形成装置の評価、保守、修理等を支援して容易に行うことを可能とし、コスト的、品質的及び時間的にも問題が生じないようにした画像形成装置支援システムを提供する。

【解決手段】 この発明によると、画像形成装置 (P P C) 本体に関する一連の制御を行うCPUと、このCPUに対してアドレスバス及びデータバスを介して接続されたCPUプログラム格納用ROMと、このCPUに対してデータ等の一時待避用となるRAMと、前記P P C本体に関する各種調整値やサービス情報を格納する不揮発性RAMと、前記不揮発性RAMや周辺装置とのシリアルインターフェースを可能にするパラレル/シリアル変換素子により構成されるインターフェイス回路としての制御装置とを具備し、シリアルラインを介して外部端末装置 (P C) にバックアップメモリとなる不揮発性RAMから各種調整値やサービス情報等を出力し、同メモリ内のコピーモード、各種調整値や顧客情報等を書き換え可能とした画像形成装置支援システムを実現することができる。



【特許請求の範囲】

【請求項 1】 画像形成装置本体に関する一連の制御を行う制御手段と、

この制御手段に対してアドレスバス及びデータバスを介して接続されたプログラム格納用記憶手段と、

前記制御手段に対してデータ等の一時待避用となる記憶手段と、

前記画像形成装置本体に関する各種調整値やサービス情報等を格納する不揮発性記憶手段と、

前記不揮発性記憶手段と外部端末装置とのシリアルインターフェースを可能にするパラレル／シリアル変換素子により構成されるインターフェイス回路とを具備し、

前記外部端末装置からの要求に応じて前記インターフェイス回路によるシリアルラインを介して前記外部端末装置に前記不揮発性記憶手段から各種調整値やサービス情報等を出力可能とすることを特徴とする画像形成装置支援システム。

【請求項 2】 画像形成装置本体に関する一連の制御を行う制御手段と、

この制御手段に対してアドレスバス及びデータバスを介して接続されたプログラム格納用記憶手段と、

前記制御手段に対してデータ等の一時待避用となる記憶手段と、

前記画像形成装置本体に関する各種調整値やサービス情報等を格納する不揮発性記憶手段と、

前記不揮発性記憶手段と外部端末装置とのシリアルインターフェースを可能にするパラレル／シリアル変換素子により構成されるインターフェイス回路とを具備し、

前記外部端末装置からの要求に応じて前記インターフェイス回路によるシリアルラインを介して前記不揮発性記憶手段内の各種調整値やサービス情報等を書き換え可能としたことを特徴とする画像形成装置支援システム。

【請求項 3】 画像形成装置本体に関する一連の制御を行う制御手段と、

この制御手段に対してアドレスバス及びデータバスを介して接続されたプログラム格納用記憶手段と、

前記制御手段に対してデータ等の一時待避用となる記憶手段と、

前記画像形成装置本体に関する各種調整値やサービス情報等を格納する不揮発性記憶手段と、

前記不揮発性記憶手段と外部端末装置とのシリアルインターフェースを可能にするパラレル／シリアル変換素子により構成されるインターフェイス回路とを具備し、

前記外部端末装置からの要求に応じて前記インターフェイス回路によるシリアルラインを介して前記外部端末装置に前記不揮発性記憶手段から各種調整値やサービス情報等を出力すると共に、前記不揮発性記憶手段内の各種調整値やサービス情報等を書き換え可能としたことを特徴とする画像形成装置支援システム。

【請求項 4】 画像形成装置本体に関する一連の制御を

行う制御手段と、

この制御手段に対してアドレスバス及びデータバスを介して接続されたプログラム格納用記憶手段と、

前記制御手段に対してデータ等の一時待避用となる記憶手段と、

前記画像形成装置本体に関する各種調整値やサービス情報等を格納する不揮発性記憶手段と、

前記不揮発性記憶手段と外部端末装置とのシリアルインターフェースを可能にするパラレル／シリアル変換素子により構成されるインターフェイス回路とを具備し、

前記画像形成装置本体の状態に応じて前記外部端末装置からの入出力項目に制限を加えて前記インターフェイス回路によるシリアルラインを介して前記外部端末装置に前記不揮発性記憶手段から各種調整値やサービス情報等を出力可能とすることを特徴とする画像形成装置支援システム。

【請求項 5】 画像形成装置本体に関する一連の制御を行う制御手段と、

この制御手段に対してアドレスバス及びデータバスを介して接続されたプログラム格納用記憶手段と、

前記制御手段に対してデータ等の一時待避用となる記憶手段と、

前記画像形成装置本体に関する各種調整値やサービス情報等を格納する不揮発性記憶手段と、

前記不揮発性記憶手段と外部端末装置とのシリアルインターフェースを可能にするパラレル／シリアル変換素子により構成されるインターフェイス回路とを具備し、

前記画像形成装置本体の状態に応じて前記外部端末装置からの入出力項目に制限を加えて前記インターフェイス回路によるシリアルラインを介して前記不揮発性記憶手段内の各種調整値やサービス情報等を書き換え可能としたことを特徴とする画像形成装置支援システム。

【請求項 6】 画像形成装置本体に関する一連の制御を行う制御手段と、

この制御手段に対してアドレスバス及びデータバスを介して接続されたプログラム格納用記憶手段と、

前記制御手段に対してデータ等の一時待避用となる記憶手段と、

前記画像形成装置本体に関する各種調整値やサービス情報等を格納する不揮発性記憶手段と、

前記不揮発性記憶手段と外部端末装置とのシリアルインターフェースを可能にするパラレル／シリアル変換素子により構成されるインターフェイス回路とを具備し、

前記画像形成装置本体の状態に応じて前記外部端末装置からの入出力項目に制限を加えて前記インターフェイス回路によるシリアルラインを介して前記外部端末装置に前記不揮発性記憶手段から各種調整値やサービス情報等を出力可能とすると共に、前記インターフェイス回路によるシリアルラインを介して前記不揮発性記憶手段内の各種調整値やサービス情報等を書き換え可能としたこと

を特徴とする画像形成装置支援システム。

【請求項 7】 画像形成装置本体に関する一連の制御を行う制御手段と、

この制御手段に対してアドレスバス及びデータバスを介して接続されたプログラム格納用記憶手段と、

前記制御手段に対してデータ等の一時待避用となる記憶手段と、

前記画像形成装置本体に関する各種調整値やサービス情報等を格納する不揮発性記憶手段と、

前記不揮発性記憶手段と外部端末装置とのシリアルインターフェースを可能にするパラレル/シリアル変換素子により構成されるインターフェイス回路とを具備し、

前記インターフェイス回路によるシリアルラインを介して前記外部端末装置と通信する際に、前記画像形成装置本体の状態を常に監視するためのメモリ領域を確保し、その状態監視情報に基づいて、通信の許可・不許可を判断して前記画像形成装置本体に関わる処理を優先することを特徴とする画像形成装置支援システム。

【請求項 8】 画像形成装置本体に関する一連の制御を行う制御手段と、

この制御手段に対してアドレスバス及びデータバスを介して接続されたプログラム格納用記憶手段と、

前記制御手段に対してデータ等の一時待避用となる記憶手段と、

前記画像形成装置本体に関する各種調整値やサービス情報等を格納する不揮発性記憶手段と、

前記不揮発性記憶手段と外部端末装置とのシリアルインターフェースを可能にするパラレル/シリアル変換素子により構成されるインターフェイス回路とを具備し、

前記インターフェイス回路によるシリアルラインを介して前記外部端末装置と通信する際に、前記画像形成装置本体の状態を常に監視するためのメモリ領域を確保し、その状態監視情報に基づいて、通信の許可・不許可を判断して、エラー発生時等に通信を優先することを特徴とする画像形成装置支援システム。

【請求項 9】 画像形成装置本体に関する一連の制御を行う制御手段と、

この制御手段に対してアドレスバス及びデータバスを介して接続されたプログラム格納用記憶手段と、

前記制御手段に対してデータ等の一時待避用となる記憶手段と、

前記画像形成装置本体に関する各種調整値やサービス情報等を格納する不揮発性記憶手段と、

前記不揮発性記憶手段と外部端末装置周辺装置とのシリアルインターフェースを可能にするパラレル/シリアル変換素子により構成されるインターフェイス回路とを具備し、

前記インターフェイス回路によるシリアルラインを介して前記外部端末装置と通信する際に、前記画像形成装置本体の状態を常に監視するためのメモリ領域を確保し、

その状態監視情報に基づいて、通信の許可・不許可を判断して前記画像形成装置本体に関わる制御により、前記メモリ情報を絶えず書き換えると共に、通信に関わる処理が発生した場合、通信制御側で、このメモリ領域を確認し、通信が不許可の場合、エラー処理を行うことを特徴とする画像形成装置支援システム。

【請求項 10】 画像形成装置本体に関する一連の制御を行う制御手段と、

この制御手段に対してアドレスバス及びデータバスを介して接続されたプログラム格納用記憶手段と、

前記制御手段に対してデータ等の一時待避用となる記憶手段と、

前記画像形成装置本体に関する各種調整値やサービス情報等を格納する不揮発性記憶手段と、

前記不揮発性記憶手段と外部端末装置周辺装置とのシリアルインターフェースを可能にするパラレル/シリアル変換素子により構成されるインターフェイス回路とを具備し、

前記インターフェイス回路によるシリアルラインを介して前記外部端末装置と通信する際に、前記外部端末装置から前記画像形成装置本体へのデータの要求として予め前記外部端末装置が貯えている所定のデータエリアの先頭アドレスと複数の連続したアドレスにまたがるデータのデータ長を受信する前記画像形成装置本体側で、該当するデータの先頭アドレスとデータとを送信データの一時格納エリアに格納した後に、先頭アドレスに 1 を加えたアドレスのデータを別の一時格納エリアに格納すると共に、さらにこのアドレスに 1 を加えて該当アドレスのデータを前記別の格納エリアに格納することをデータ長文繰り返した後に、各一時格納エリアのデータを送信用データに加工して前記外部端末装置に送信することを特徴とする画像形成装置支援システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、画像形成装置と外部端末装置とのインターフェース装置を有する画像形成装置支援システムに係り、特に、画像形成装置の保守や調整等に利用し得る画像形成装置支援システムに関する。

【0002】

【従来の技術】従来、画像形成装置に関わらず、保守や調整を必要とする O A 機器等の電子装置において、その保守や調整を容易にすることを目的として専用端末装置やノート型のパーソナルコンピュータ等の外部端末装置を当該装置に接続することは、周知の通りである。この場合、従来の外部端末装置としては、汎用的な装置は少なく、設備関連や元々通信関連の接続端子を持つ装置が主なものであった。

【0003】

【発明が解決しようとする課題】上述したように、従来

技術にて紹介した外部端末装置を画像形成装置のような汎用的な量産品に対応させるためには、画像形成装置側において外部端末装置との通信用としての制御素子等の専用部品やマイクロコンピュータ等を追加する必要がある。

【0004】しかるに、このような専用部品やマイクロコンピュータ等を画像形成装置側に追加することには、画像形成装置全体としてのコストアップが生じるという問題がある。

【0005】一方、このような通信専用の制御用マイクロコンピュータ等の追加によるコストアップを避けるために、画像形成装置本体の制御用マイクロコンピュータに通信制御を兼ねさせるようにした場合、画像形成装置本体の制御と外部端末装置との通信制御のために、画像形成装置本体の制御用マイクロコンピュータの負荷が増大することにより、画像形成装置としての本来の機能が損なわれがちであるという問題がある。

【0006】また、外部端末装置との通信プロトコルを考慮した場合、例えば、外部端末装置が必要とするデータのコマンド（コード）を画像形成装置が受信した場合、受信したコマンドコードを翻訳した後、必要なデータを準備して外部端末装置への送信をすることになる。

【0007】一般に、多機種のラインアップにおいて展開されている画像形成装置においては、必要なデータの格納場所が、プログラムの柔軟性を損なわないようにするために、各機種において異なることが通常である。

【0008】このため、一連の通信制御プログラムのモジュール化を図ることができなくなり、その都度、一連の通信制御プログラムを開発する必要があるため、コスト的及びプログラムの品質維持の上からも問題がある。

【0009】また、通信の多くを占めるのが、外部端末装置から画像形成装置へのデータの要求であるため、コマンドコードの翻訳ごとに多くの時間が必要であるという問題がある。

【0010】そこで、本発明は、以上のような点に鑑みてなされたもので、画像形成装置の評価、保守、修理等を行うにあたり、画像形成装置に外部端末装置を接続して必要な情報を画像形成装置から取得して加工することにより、あるいは外部端末装置を接続して画像形成装置の評価、保守、修理等を容易に行うための指示を与えることにより、画像形成装置の評価、保守、修理等を支援して容易に行うことを可能とし、コスト的、品質的及び時間的にも問題が生じないようにした画像形成装置本体と外部端末装置とのインターフェース装置を有する画像形成装置支援システムを提供することを目的とする。

【0011】

【課題を解決するための手段】本発明によると、上記課題を解決するために、画像形成装置本体に関する一連の制御を行う制御手段と、この制御手段に対してアドレスバス及びデータバスを介して接続されたプログラム格納

用記憶手段と、前記制御手段に対してデータ等の一時待避用となる記憶手段と、前記画像形成装置本体に関する各種調整値やサービス情報等を格納する不揮発性記憶手段と、前記不揮発性記憶手段と外部端末装置とのシリアルインターフェースを可能にするパラレル／シリアル変換素子により構成されるインターフェイス回路とを具備し、前記外部端末装置からの要求に応じて前記インターフェイス回路によるシリアルラインを介して前記外部端末装置に前記不揮発性記憶手段から各種調整値やサービス情報等を出力可能とすることを特徴とする画像形成装置支援システムが提供される。

【0012】また、本発明によると、上記課題を解決するために、画像形成装置本体に関する一連の制御を行う制御手段と、この制御手段に対してアドレスバス及びデータバスを介して接続されたプログラム格納用記憶手段と、前記制御手段に対してデータ等の一時待避用となる記憶手段と、前記画像形成装置本体に関する各種調整値やサービス情報等を格納する不揮発性記憶手段と、前記不揮発性記憶手段と外部端末装置とのシリアルインターフェースを可能にするパラレル／シリアル変換素子により構成されるインターフェイス回路とを具備し、前記外部端末装置からの要求に応じて前記インターフェイス回路によるシリアルラインを介して前記不揮発性記憶手段内の各種調整値やサービス情報等を書き換え可能としたことを特徴とする画像形成装置支援システムが提供される。

【0013】また、本発明によると、上記課題を解決するために、画像形成装置本体に関する一連の制御を行う制御手段と、この制御手段に対してアドレスバス及びデータバスを介して接続されたプログラム格納用記憶手段と、前記制御手段に対してデータ等の一時待避用となる記憶手段と、前記画像形成装置本体に関する各種調整値やサービス情報等を格納する不揮発性記憶手段と、前記不揮発性記憶手段と外部端末装置とのシリアルインターフェースを可能にするパラレル／シリアル変換素子により構成されるインターフェイス回路とを具備し、前記外部端末装置からの要求に応じて前記インターフェイス回路によるシリアルラインを介して前記外部端末装置に前記不揮発性記憶手段から各種調整値やサービス情報等を出力すると共に、前記不揮発性記憶手段内の各種調整値やサービス情報等を書き換え可能としたことを特徴とする画像形成装置支援システムが提供される。

【0014】また、本発明によると、上記課題を解決するために、画像形成装置本体に関する一連の制御を行う制御手段と、この制御手段に対してアドレスバス及びデータバスを介して接続されたプログラム格納用記憶手段と、前記制御手段に対してデータ等の一時待避用となる記憶手段と、前記画像形成装置本体に関する各種調整値やサービス情報等を格納する不揮発性記憶手段と、前記不揮発性記憶手段と外部端末装置とのシリアルインター

フエースを可能にするパラレル／シリアル変換素子により構成されるインターフェイス回路とを具備し、前記画像形成装置本体の状態に応じて前記外部端末装置からの入出力項目に制限を加えて前記インターフェイス回路によるシリアルラインを介して前記外部端末装置に前記不揮発性記憶手段から各種調整値やサービス情報等を出力可能とすることを特徴とする画像形成装置支援システムが提供される。

【0015】また、本発明によると、上記課題を解決するために、画像形成装置本体に関する一連の制御を行う制御手段と、この制御手段に対してアドレスバス及びデータバスを介して接続されたプログラム格納用記憶手段と、前記制御手段に対してデータ等の一時待避用となる記憶手段と、前記画像形成装置本体に関する各種調整値やサービス情報等を格納する不揮発性記憶手段と、前記不揮発性記憶手段と外部端末装置とのシリアルインターフェースを可能にするパラレル／シリアル変換素子により構成されるインターフェイス回路とを具備し、前記画像形成装置本体の状態に応じて前記外部端末装置からの入出力項目に制限を加えて前記インターフェイス回路によるシリアルラインを介して前記不揮発性記憶手段内の各種調整値やサービス情報等を書き換え可能としたことを特徴とする画像形成装置支援システムが提供される。

【0016】また、本発明によると、上記課題を解決するために、画像形成装置本体に関する一連の制御を行う制御手段と、この制御手段に対してアドレスバス及びデータバスを介して接続されたプログラム格納用記憶手段と、前記制御手段に対してデータ等の一時待避用となる記憶手段と、前記画像形成装置本体に関する各種調整値やサービス情報等を格納する不揮発性記憶手段と、前記不揮発性記憶手段と外部端末装置とのシリアルインターフェースを可能にするパラレル／シリアル変換素子により構成されるインターフェイス回路とを具備し、前記画像形成装置本体の状態に応じて前記外部端末装置からの入出力項目に制限を加えて前記インターフェイス回路によるシリアルラインを介して前記外部端末装置に前記不揮発性記憶手段から各種調整値やサービス情報等を出力可能とすると共に、前記インターフェイス回路によるシリアルラインを介して前記不揮発性記憶手段内の各種調整値やサービス情報等を書き換え可能としたことを特徴とする画像形成装置支援システムが提供される。

【0017】また、本発明によると、上記課題を解決するために、画像形成装置本体に関する一連の制御を行う制御手段と、この制御手段に対してアドレスバス及びデータバスを介して接続されたプログラム格納用記憶手段と、前記制御手段に対してデータ等の一時待避用となる記憶手段と、前記画像形成装置本体に関する各種調整値やサービス情報等を格納する不揮発性記憶手段と、前記不揮発性記憶手段と外部端末装置とのシリアルインターフェースを可能にするパラレル／シリアル変換素子によ

り構成されるインターフェイス回路とを具備し、前記インターフェイス回路によるシリアルラインを介して前記外部端末装置と通信する際に、前記画像形成装置本体の状態を常に監視するためのメモリ領域を確保し、その状態監視情報に基づいて、通信の許可・不許可を判断して、前記画像形成装置本体に関わる処理を優先することを特徴とする画像形成装置支援システムが提供される。

【0018】また、本発明によると、上記課題を解決するために、画像形成装置本体に関する一連の制御を行う制御手段と、この制御手段に対してアドレスバス及びデータバスを介して接続されたプログラム格納用記憶手段と、前記制御手段に対してデータ等の一時待避用となる記憶手段と、前記画像形成装置本体に関する各種調整値やサービス情報等を格納する不揮発性記憶手段と、前記不揮発性記憶手段と外部端末装置とのシリアルインターフェースを可能にするパラレル／シリアル変換素子により構成されるインターフェイス回路とを具備し、前記インターフェイス回路によるシリアルラインを介して前記外部端末装置と通信する際に、前記画像形成装置本体の状態を常に監視するためのメモリ領域を確保し、その状態監視情報に基づいて、通信の許可・不許可を判断して、エラー発生時等に通信を優先することを特徴とする画像形成装置支援システムが提供される。

【0019】また、本発明によると、上記課題を解決するために、画像形成装置本体に関する一連の制御を行う制御手段と、この制御手段に対してアドレスバス及びデータバスを介して接続されたプログラム格納用記憶手段と、前記制御手段に対してデータ等の一時待避用となる記憶手段と、前記画像形成装置本体に関する各種調整値やサービス情報等を格納する不揮発性記憶手段と、前記不揮発性記憶手段と外部端末装置周辺装置とのシリアルインターフェースを可能にするパラレル／シリアル変換素子により構成されるインターフェイス回路とを具備し、前記インターフェイス回路によるシリアルラインを介して前記外部端末装置と通信する際に、前記画像形成装置本体の状態を常に監視するためのメモリ領域を確保し、その状態監視情報に基づいて、通信の許可・不許可を判断して前記画像形成装置本体に関わる制御により、前記メモリ情報を絶えず書き換えると共に、通信に関わる処理が発生した場合、通信制御側で、このメモリ領域を確認し、通信が不許可の場合、エラー処理を行うことを特徴とする画像形成装置支援システムが提供される。

【0020】また、本発明によると、上記課題を解決するために、画像形成装置本体に関する一連の制御を行う制御手段と、この制御手段に対してアドレスバス及びデータバスを介して接続されたプログラム格納用記憶手段と、前記制御手段に対してデータ等の一時待避用となる記憶手段と、前記画像形成装置本体に関する各種調整値やサービス情報等を格納する不揮発性記憶手段と、前記不揮発性記憶手段と外部端末装置周辺装置とのシリアル

インターフェースを可能にするパラレル／シリアル変換素子により構成されるインターフェイス回路とを具備し、前記インターフェイス回路によるシリアルラインを介して前記外部端末装置と通信する際に、前記外部端末装置から前記画像形成装置本体へのデータの要求として予め前記外部端末装置が貯えている所定のデータエリアの先頭アドレスと複数の連続したアドレスにまたがるデータのデータ長を受信する前記画像形成装置本体側で、該当するデータの先頭アドレスとデータとを送信データの一時格納エリアに格納した後に、先頭アドレスに1を加えたアドレスのデータを別の一時格納エリアに格納すると共に、さらにこのアドレスに1を加えて該当アドレスのデータを前記別の格納エリアに格納することをデータ長文繰り返した後に、各一時格納エリアのデータを送信用データに加工して前記外部端末装置に送信することとを特徴とする画像形成装置支援システムが提供される。

【0021】

【発明の実施の形態】以下、この発明の一実施の形態について図面を参照して説明する。図1は、この発明に係る画像形成装置と外部端末装置とのインターフェイス装置を含む画像形成装置支援システムの全体構成を概略的に示すものである。

【0022】すなわち、この画像形成装置支援システムは、図1に示すように、画像形成装置（PPC）本体100と、この画像形成装置（PPC）本体100にシリアル接続される外部端末装置（PC）108とから構成されている。

【0023】そして、画像形成装置（PPC）本体100には、この画像形成装置（PPC）本体100に関する一連の制御を行うマイクロコンピュータ（CPU）101と、このCPU101に対してアドレスバス及びデータバスを介して接続されたCPUプログラム格納用ROM102と、このCPU101に対してデータ等の一時待避用となるRAM103と、前記画像形成装置（PPC）本体100に関する各種調整値やサービス情報等を格納する不揮発性RAM104と、インターフェイス回路107とが備えられている。

【0024】また、インターフェイス回路107には、周辺装置とのシリアルインターフェースを可能にするパラレル／シリアル変換素子としての制御装置（UART1、例えば、 μ PD71051に相当）106と、この制御装置（UART1、例えば、 μ PD71051に相当）106に接続されたドライバ（例えば、RS232C）105とが備えられている。

【0025】ここで、インターフェイス回路107内のドライバ（例えば、RS232C）105には、前記周辺装置としてのパーソナルコンピュータ等の外部端末装置（PC）108がシリアル接続されている。

【0026】また、不揮発性RAM104及び制御装置（UART1、例えば、 μ PD71051に相当）10

6は、アドレスバス及びデータバスに対してパラレルに接続されている。

【0027】また、CPU101、不揮発性RAM104及び制御装置（UART1、例えば、 μ PD71051に相当）106間には、制御ラインが接続されている。次に、以上のように構成される図1に示した画像形成装置支援システムにおいて、画像形成装置（PPC）本体100からインターフェイス回路107とのシリアルラインを介して外部端末装置（PC）108に対してそれからの要求に応じて各RAM103、104内のサービス保守情報等を出力し、同RAM103、104上のコピーモード、調整値や顧客情報等の入出力を行う際についての制御手順を説明する。

【0028】まず、この画像形成装置支援システムは、通信アプリケーションを起動するための制御を有する。この通信アプリケーション起動について、図2に示すようなフローチャートを参照して説明する。

【0029】まず、外部端末装置（PC）108は、インターフェイス回路107を介して画像形成装置（PPC）本体100に対してシステムコンフィグデータ要求のコマンドを出力することにより、このシステムコンフィグデータを取得する（ステップS1、S2）。

【0030】次に、外部端末装置（PC）108は、取得したシステムコンフィグデータ中の機種コードを抽出することにより、その機種コードに該当する参照テーブルとしてのファイルを選択する（ステップS3、S4、S5、S6、S7、S8、S9）。

【0031】ここで、ステップS9におけるエラー処理は、図3に示すようなフローチャートにより、該当する機種のファイルが存在していないことを表示した後、処理を先頭に戻すことにより、実行される（ステップS9a、S9b）。

【0032】この後、初期画面が表示されされると共に、選択したテーブル内のデータを利用して次に具体的に示すような各情報1、2、3についての取得処理が実行される（ステップS10、S11、S12、S13）。

【0033】次に、この画像形成装置支援システムは、インターフェイス回路107を介して外部端末装置（PC）108からの先頭アドレスデータとバイト長データ（コマンドセット）から出力要求データを判断することにより、画像形成装置（PPC）本体100から出力動作を実行するための制御を有する。

【0034】例えば、本実施の形態において、外部端末装置（PC）108が、画像形成装置（PPC）本体100における調整モードの内“マニュアル露光”の露光出力調整値を取得したい場合、外部端末装置（PC）108では、図4に示すような参照マップにて“マニュアル露光”に対応した要求データを参照することにより、“002002、03”なる要求データを要求記述

欄に記述して通信処理を実行する。

【0035】これを受けて、画像形成装置（PPC）本体100側では、図5及び図6に示すように、インターフェイス回路107を介してテキスト開始コマンドを（受信バッファに）受信したものと通信処理プログラムの実行をスタートし、要求データの内容より不揮発性RAM104の002002番地を先頭アドレスとしてデータ長3バイト分のデータを順次抽出して送信データ記憶エリア（送信バッファ）に送信用データ“03, 123456”を生成し、その生成結果を外部端末装置（PC）108へと返す処理を行う。

【0036】また、この画像形成装置支援システムは、画像形成装置（PPC）本体100側の状態に応じてインターフェイス回路107を介して外部端末装置（PC）108に対する入出力項目を制限することにより、画像形成装置（PPC）本体100側の動作を損なわないようにするための制御を有する。

【0037】本実施の形態では、通信処理プログラム内における複数の時点にて判断を行っている。以下に、この画像形成装置（PPC）本体100に関する入出力処理及びエラー処理について、図7及び図8に示すフローチャートを参照してその詳細を説明する。

【0038】（1）テキスト開始時点の判断

まず、外部端末装置（PC）108からテキスト開始コマンドが送信されてきた場合、インターフェイス回路107を介して画像形成装置（PPC）本体100側では、各種の初期化処理に続いて、受信判断後に、現在の自己の動作状態を判断し、通信不可能な状態として例えばコピーモード（複写動作）中等であれば、否定応答コマンドを送信後に、エラー処理を実行し、通信処理先頭に戻り、再びテキスト開始の受信を待つ（ステップS101, S101, S102, S103, S104, S105, S106）。

【0039】（2）コマンドセット連続受信後の判断

まず、外部端末装置（PC）108からテキスト開始コマンドがインターフェイス回路107を介して送信されてきた場合、画像形成装置（PPC）本体100側では、前記ステップS104において通信可能な状態であれば肯定応答コマンドを送信した後に、コマンドセットの連続受信状態となり、この連続受信が完了すると、画像形成装置（PPC）本体100側では自己の動作状態を判断し、通信不可能な状態であれば、否定応答コマンドを送信後に、連続受信処理先頭に戻り、再びコマンドセットの受信を待つことになるが、ここで、画像形成装置（PPC）本体100側では、一定時間以上経過した場合には、タイムオーバーと判断し、エラー処理実行後に、通信処理先頭に戻り、再びテキスト開始の受信を待つ（ステップS107, S108, S109, S110, S112, S113）。

【0040】（3）要求データ生成処理後の判断

まず、外部端末装置（PC）108からテキスト開始コマンドが送信されてきた場合、画像形成装置（PPC）本体100側では、前記ステップS109において通信可能な状態であれば肯定応答コマンドを送信した後に、送受信禁止としてから、ここで連続受信したコマンドセットの内容から実際に各RAM103, 104に格納されているデータ抽出や返送用データの生成処理を行う（ステップS116）。

【0041】これらのデータ抽出や生成処理完了後に、画像形成装置（PPC）本体100側では、自己の動作状態を判断し、通信可能な状態であればテキスト開始を送信してそれに対する肯定応答受信の有無を判定するが、通信不可能な状態であればエラー処理を実行し、通信処理先頭に戻り、再びテキスト開始の受信を待つ（ステップS117, S118, S119, S120）。

【0042】なお、前述したステップS119でのテキスト開始を送信してそれに対する肯定応答受信有無の判定において、肯定応答受信有であれば次のステップS124に進むが、肯定応答受信無であればテキスト開始受信カウンタを+1してリトライオーバーであるか否かを判定（ステップS121, S122）し、オーバーであればエラー処理を実行（ステップS123）して通信処理先頭に戻り、オーバーでなければステップS117に戻る。

【0043】（4）レスポンスデータ連続送信処理前の判断

まず、外部端末装置（PC）108からテキスト開始コマンドが送信されてきた場合、画像形成装置（PPC）本体100側では、前述したステップS119でのテキスト開始を送信してそれに対する肯定応答受信有無の判定において、肯定応答受信有であればステップS124で、自己の動作状態を判断し、通信可能な状態であればレスポンスデータ連続送信処理をしてそれに対する肯定応答受信の有無を判定するが、通信不可能な状態であればエラー処理を実行し、通信処理先頭に戻り、再びテキスト開始の受信を待つ（ステップS125, S126, S127）。

【0044】なお、前述したレスポンスデータ連続送信処理をしてそれに対する肯定応答受信有無の判定において、肯定応答受信有であれば通信処理先頭に戻り、再びテキスト開始の受信を待つが、肯定応答受信無であればテキスト開始受信カウンタを+1してリトライオーバーであるか否かを判定（ステップS128, S129）し、オーバーであればエラー処理を実行（ステップS130）して通信処理先頭に戻り、オーバーでなければステップS124に戻る。

【0045】（5）エラー処理

以上におけるエラー処理では、図9に示すように、モード遷移フラグのリセット処理を行うと共に、その後遅延時間A分だけ通信処理先頭へ戻る時間を待つ（ステップ

S131, S132)。

【0046】(6)外部端末装置(PC)108側の処理

外部端末装置(PC)108は、画像形成装置(PPC)本体100側との通信が途絶えたことを判断し(遅延時間A内にて)、エラー処理へと遷移し、ユーザーにエラー発生を通知し、再実行を促す処理を行う。

【0047】以上のようにして、本発明によれば、画像形成装置の評価、保守、修理を行うにあたり、外部端末装置を接続し、必要な情報を画像形成装置から取得して加工することにより、画像形成装置の評価、保守、修理を支援して容易に行うことを可能とした画像形成装置支援システムを実現することができる。

【0048】また、本発明によれば、画像形成装置の評価、保守、修理を行うにあたり、外部端末装置を接続して、画像形成装置の評価、保守、修理を容易に行うための指示を与えることにより、画像形成装置の評価、保守、修理を支援して容易に行うことを可能とした画像形成装置支援システムを実現することができる。

【0049】また、本発明によれば、画像形成装置の保守や調整を容易にするための外部端末装置を接続しても、画像形成装置本来の画像形成作業を損なうことなく、安価で機種互換に関わるプログラム開発を容易にすることが可能な画像形成装置支援システムを実現することができる。

【0050】すなわち、本発明によれば、画像形成装置(PPC)本体100に関する一連の制御を行うマイクロコンピュータ(CPU)101と、このCPU101に対してアドレスバス及びデータバスを介して接続されたCPUプログラム格納用ROM102と、このCPU101に対してデータ等の一時待避用となるRAM103と、前記画像形成装置(PPC)本体100に関する各種調整値やサービス情報を格納する不揮発性RAM104と、前記画像形成装置(PPC)本体100に関する各種調整値やサービス情報を格納する不揮発性RAM104や周辺装置とのシリアルインターフェースを可能にするパラレル/シリアル変換素子により構成されるインターフェイス回路107としての制御装置(UART1、例えば、 μ PD71051に相当)106が備えられていることにより、シリアルラインを介して外部端末装置(PC)108にバックアップメモリとなる不揮発性RAM104から各種調整値やサービス情報等を出力し、同メモリ内のコピーモード、各種調整値や顧客情報等を書き換え可能とした画像形成装置支援システムを実現することができる。

【0051】そして、この画像形成装置支援システムでは、シリアルラインを介してバックアップメモリからコピーモード、各種調整値や顧客情報等サービス情報等を入力する際、画像形成装置本体側の状態(例えば、コピー時、スタンバイ時、セットアップ時、調整時、デー

タ吸い上げ時、メンテナンス時)に応じて、入出力項目を制限することにより、画像形成装置本体の本来の画像形成作業を損なうことがないようにすることができる。

【0052】また、この画像形成装置支援システムでは、シリアルラインを介して画像形成装置本体側のバックアップメモリからコピーモード、各種調整値や顧客情報等サービス情報等を入力する際、周辺装置からの先頭アドレスデータと、バイト長データとにより、出力要求データを判断して出力動作を実行するように制御することができる。

【0053】また、この画像形成装置支援システムでは、シリアルラインを介しての画像形成装置本体と外部端末装置との通信において、画像形成装置本体側からイベントを出すことができ。

【0054】また、この画像形成装置支援システムでは、シリアルラインを介しての画像形成装置本体と外部端末装置との通信において、外部端末装置側からイベントを出すことができる。

【0055】また、この画像形成装置支援システムでは、シリアルラインを介しての画像形成装置本体と外部端末装置との通信において、通信が正常に終了するまで、画像形成装置本体側でのデータを保持し、通信が正常に終了したら画像形成装置本体側でのデータをクリアすることができる。

【0056】また、この画像形成装置支援システムでは、シリアルラインを介しての画像形成装置本体と外部端末装置との通信において、通信が正常に終了するまで、画像形成装置本体側でのデータを保持し、通信が正常に終了したら別の記憶領域に移して画像形成装置本体側でのデータを保持することができる。

【0057】なお、本発明には、以下のような概念が含まれている。

(1) データ通信において、データの格納された先頭アドレスとデータ長による通信プロトコルに関する。

【0058】(2) 必要とされるデータの格納されている先頭アドレスとデータ長を受信することにより、送信データが生成される。この際、データ長分アドレスを更新する。

【0059】(3) シリアルラインで通信される画像形成装置本体と外部端末装置との間の通信において、外部端末装置から画像形成装置本体へのデータの要求は、予め外部端末装置が貯えている必要なデータエリアの先頭アドレスと複数の連続したアドレスにまたがるデータのデータ長を、画像形成装置本体が受信し、該当するデータの先頭アドレスとのデータを送信データの一時格納エリアAに格納する。

【0060】次に、先頭アドレスに1加えたアドレスのデータを一時格納エリアBに格納する。このアドレスに1加えて該当アドレスのデータを格納エリアに格納する作業をデータ長文繰り返す。

【0061】そして、各一時格納エリアのデータを送信用データに加工して外部端末装置に送信する。なお、本発明における以上のような概念には、以下のような作用効果が含まれている。

【0062】(1) データ通信において、通信の許可や禁止を画像形成装置本体の状態に応じて判断しているので、画像形成装置本体の本来の画像形成作業を損なうことがないようにすることができる。

【0063】(2) 画像形成装置本体の状態を常に監視するためのメモリ領域を確保し、その情報により、通信の許可・不許可を判断して画像形成に関わる処理を優先する場合と、エラー発生時等通信を優先する場合とを有する。

【0064】(3) 画像形成装置本体の状態を常に監視するためのメモリ領域を確保し、その情報により通信許可・不許可状態を判断する。この場合、画像形成装置本体に関する制御により、メモリの情報は絶えず書き換えられる。

【0065】また、通信に関わる処理が発生した場合、通信制御側（通信制御モジュール：プログラム）で、このメモリ領域を確認し、通信が不許可の場合、エラー処理を行う。

【0066】

【発明の効果】従って、以上詳述したように、この発明によれば、画像形成装置の評価、保守、修理等を行うにあたり、画像形成装置に外部端末装置を接続して必要な情報を画像形成装置から取得して加工することにより、あるいは外部端末装置を接続して画像形成装置の評価、保守、修理等を容易に行うための指示を与えることにより、画像形成装置の評価、保守、修理等を支援して容易に行うことを可能とし、コスト的、品質的及び時間的にも問題が生じないようにした画像形成装置本体と外部端末装置とのインターフェース装置を有する画像形成装置支援システムを提供することができる。

【図面の簡単な説明】

【図1】この発明による画像形成装置支援システムの一実施の形態の概略構成を示すブロック図。

【図2】図1の画像形成装置支援システムの通信アプリケーション起動処理を説明するためのフローチャート。

【図3】図2の画像形成装置支援システムの通信アプリケーション起動処理におけるエラー処理を説明するためのフローチャート。

【図4】図1の画像形成装置支援システムにおける外部端末装置で使用される参照マップを説明するための図。

【図5】図1の画像形成装置支援システムにおける画像形成装置本体と外部端末装置との通信手順を説明するための図。

【図6】図1の画像形成装置支援システムにおける外部端末装置で使用される参照マップを説明するための図。

【図7】図1の画像形成装置支援システムの画像形成装置本体における入出力処理を説明するためのフローチャート。

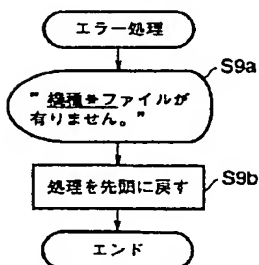
【図8】図1の画像形成装置支援システムの画像形成装置本体における入出力処理を説明するためのフローチャート。

【図9】図7、図8の画像形成装置支援システムの画像形成装置本体における入出力処理におけるエラー処理を説明するためのフローチャート。

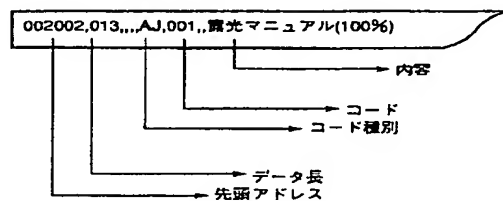
【符号の説明】

- 100…画像形成装置（PPC）本体、
- 108…外部端末装置（PC）、
- 101マイクロコンピュータ（CPU）、
- 102…CPUプログラム格納用ROM、
- 103…一時待避用となるRAM、
- 104…不揮発性RAM、
- 107…インターフェイス回路、
- 106…制御装置（UART1、例えば、μPD71051に相当）、
- 105…ドライバ（例えば、RS232C）。

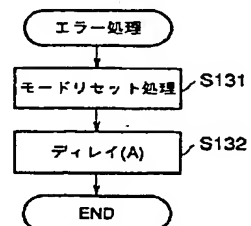
【図3】



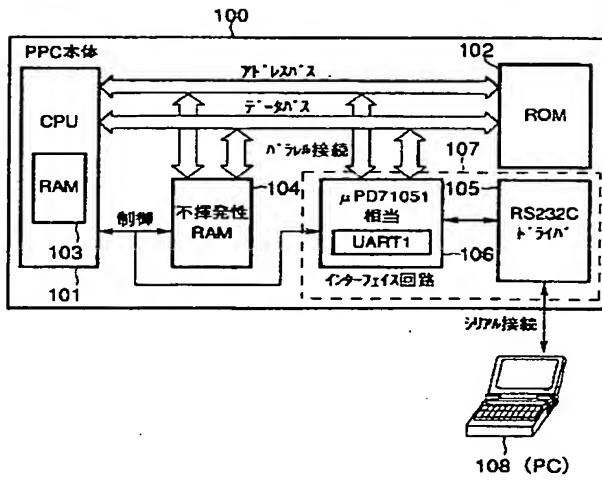
【図4】



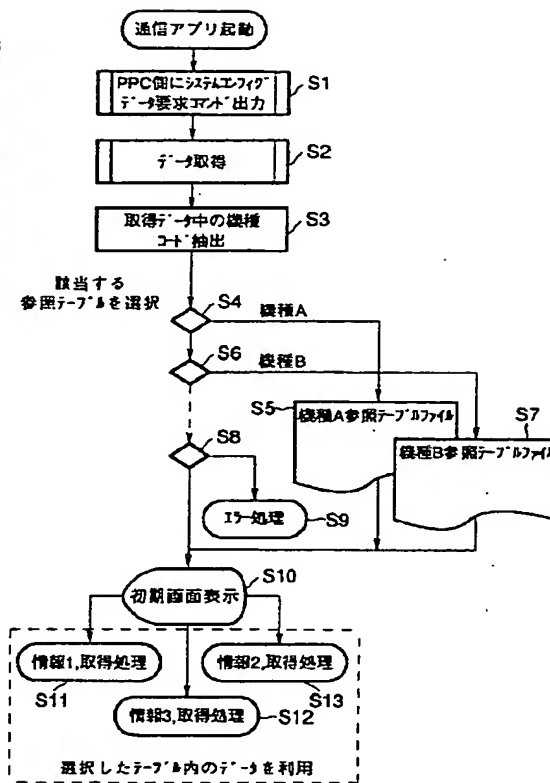
【図9】



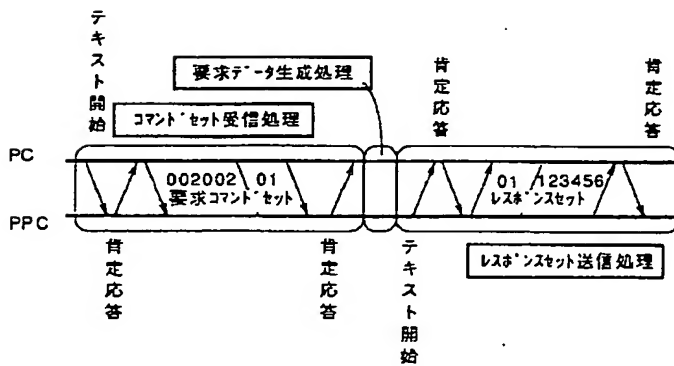
【図1】



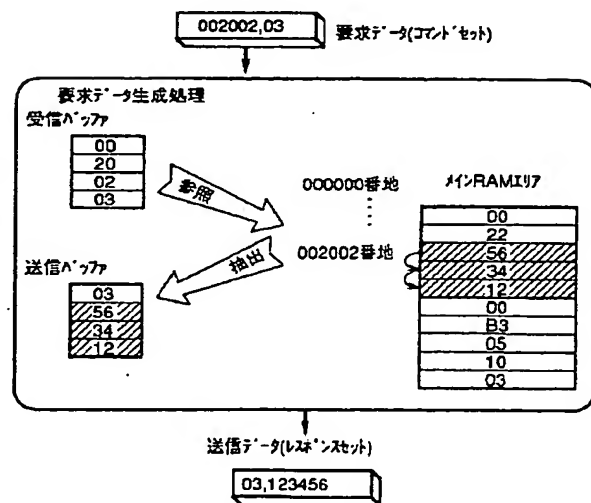
【図2】



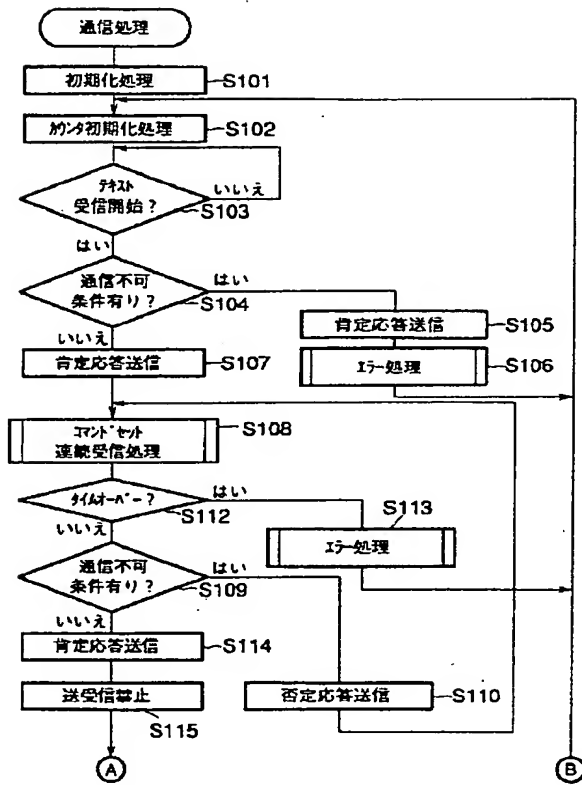
【図5】



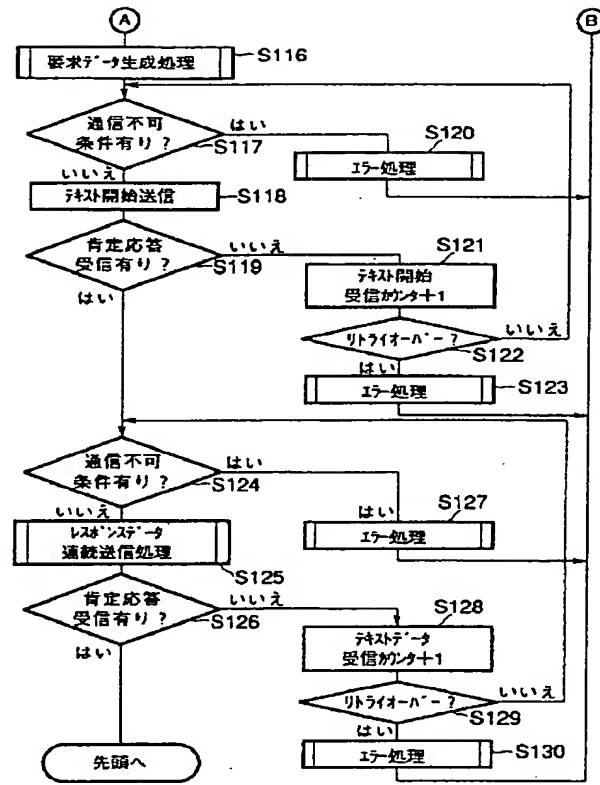
【図6】



【図 7】



【図 8】



THIS PAGE BLANK (USPTO)